

JP06244364

MANUFACTURE OF SEMICONDUCTOR DEVICE

NEC CORP

Inventor(s):KAMIYAMA SATOSHI

Application No. 05027061 JP05027061 JP, Filed 19930217,

Abstract: PURPOSE: To form a superior capacity element which reduces a leakage current by nitriding the surface of polysilicon after a natural oxide film on the surface of polysilicon, which serves as a lower capacity electrode, has been removed, by forming a tantalum oxide film, and by subjecting this tantalum oxide film to a compaction treatment and a nitriding treatment, so that an upper electrode is formed.

CONSTITUTION: Polysilicon which is a lower capacity electrode 2 is patterned by chemical vapor phase growth method. After a natural oxide film on the surface of polysilicon which serves as the lower capacity electrode 2 has been removed, it is then subject to rapid thermal nitriding treatment, so that a tantalum oxide film 11 is formed on the lower capacity electrode 2. Subsequently, this tantalum oxide film 11 is subjected to a compaction treatment and a nitriding treatment, whereby a tantalum nitride oxide film is formed. In addition, a titanium nitride is formed on the top of the tantalum nitride oxide film as an upper capacity electrode 3. Thereby, a superior thin film capacity element which reduces a leakage current can be formed.

Int'l Class: H01L02704; H01L027108

TEM

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平6-244364

(43)公開日 平成6年(1994)9月2日

(51)Int.Cl.⁵

H 01 L 27/04
27/108

識別記号

府内整理番号
C 8427-4M

F I

技術表示箇所

7210-4M

H 01 L 27/ 10

3 2 5 J

審査請求 有 請求項の数 9 O L (全 6 頁)

(21)出願番号

特願平5-27061

(22)出願日

平成5年(1993)2月17日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 神山 聰

東京都港区芝五丁目7番1号日本電気株式
会社内

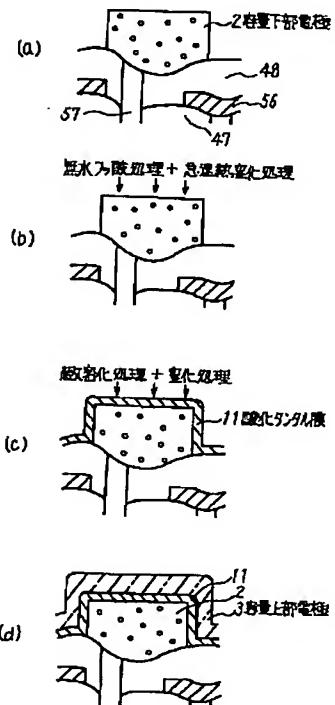
(74)代理人 弁理士 京本 直樹 (外2名)

(54)【発明の名称】 半導体装置の製造方法

(57)【要約】

【目的】容量誘電体膜としての酸化タンタル膜を薄膜化し、さらにリーク電流の少ない製造方法を提供する。

【構成】容量下部電極であるポリシリコン表面の自然酸化膜を除去した後、ランプアニールを用いた急速熱室化(RTN)処理によりポリシリコン表面を窒化し、酸化タンタル膜を形成する工程と、この酸化タンタルを緻密化処理および窒化処理する工程と、さらには上部電極を形成する工程とを有する。



【特許請求の範囲】

【請求項1】 容量下部電極であるポリシリコン表面の自然酸化膜を除去する工程と、かかる後に、ランプアニールを用いた急速熱窒化(RTN)処理により前記ポリシリコン表面を窒化する工程と、前記窒化されたポリシリコン表面上に酸化タンタル膜を形成する工程と、前記酸化タンタル膜を緻密化処理および窒化処理する工程と、次に前記酸化タンタル膜上に容量上部電極を形成する工程とを有して容量素子を設けることを特徴とする半導体装置の製造方法。

【請求項2】 前記容量素子はダイナミック・ランダム・アクセス・メモリセルに用いられる容量であることを特徴とする請求項1に記載の半導体装置の製造方法。

【請求項3】 前記容量下部電極であるポリシリコン上の自然酸化膜の除去方法として、無水フッ酸あるいは希釈フッ酸を用いた処理を行なうことを特徴とする請求項1に記載の半導体装置の製造方法。

【請求項4】 前記容量下部電極であるポリシリコン表面を窒化する工程として、アンモニア(NH₃)ガスを用いた急速熱窒化処理の温度が、800～1100℃であることを特徴とする請求項1に記載の半導体装置の製造方法。

【請求項5】 前記酸化タンタル膜の形成として、有機系のタンタル原料を用いた化学気相成長(CVD)であることを特徴とする請求項1に記載の半導体装置の製造方法。

【請求項6】 前記酸化タンタル膜の緻密化処理として、酸素(O₂)または亜酸化窒素(N₂O)雰囲気中の電気炉、ランプ加熱による急速加熱、プラズマ処理あるいはこれらを組合せた緻密化処理であることを特徴とする請求項1に記載の半導体装置の製造方法。

【請求項7】 前記酸化タンタル膜の窒化処理として、アンモニア、窒素(N₂)あるいは亜酸化窒素雰囲気中のプラズマ処理であることを特徴とする請求項1に記載の半導体装置の製造方法。

【請求項8】 前記上部電極材料として、窒化チタン(TiN)、タングステン(W)、モリブデン(Mo)、タンタル(Ta)あるいはこれらを組み合わせた構造からなることを特徴とする請求項1に記載の半導体装置の製造方法。

【請求項9】 前記プラズマ処理は、温度が室温～500℃、圧力が0.1～10.0 Torr、パワーが50～500Wで行なうことを特徴とする請求項6もしくは請求項7に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、半導体装置の製造方法に係わり、特に酸化タンタル膜を容量絶縁膜として用いる半導体装置の製造方法に関するもの。

【0002】

【従来の技術】256Mbitダイナミック・ランダム・アクセス・メモリ(DRAM)以降の超LSIメモリデバイスのメモリセルの容量素子において、単位面積当たりの容量値を大きくできる高誘電率の容量絶縁膜の採用が検討されている。この検討されている高誘電率の容量絶縁膜の中で化学気相成長法による酸化タンタル膜は、比誘電率 ϵ_r が25～30と大きく、優れたステップカバレッジ特性を有しており、さらに膜形成法が他の高誘電率容量絶縁膜と比較して非常に容易であるなどのことから多くの研究がなされている。

【0003】図5は、DRAMセルにおいて、ビット線56を含むトランジスタを被覆する層間絶縁膜48に設けられたスルーホール57を通してトランジスタに結合するスタックドタイプの容量素子の従来技術による製造方法を工程順に示した断面図である。

【0004】まず、ポリシリコンからなる容量下部電極2上に、有機原料であるペンタエトキシタンタル(Ta(OCH₃)₅)ガスを用いた減圧化学気相成長法により酸化タンタル膜11を形成する(図5(a))。次にこの酸化タンタル膜のリーク電流特性を改善させるため、酸素雰囲気での高温熱処理を行なう(図5(b))。この熱処理温度として、一般的に700～900℃が用いられている。続いて、容量上部電極3を形成する(図5(c))。上部電極として、一般的にタングステン(W)が用いられている。以上の形成工程により、容量素子部を形成する。

【0005】

【発明が解決しようとする課題】上述した従来の容量素子において、以下に述べる問題点がある。

【0006】従来の容量素子形成工程において、容量下部電極2であるポリシリコン上に、酸化タンタル膜を形成し、リーク電流特性を改善するための酸素雰囲気中の高温熱処理により形成される容量素子は、SiO₂膜換算膜厚(比誘電率 $\epsilon_r = 3.9$)にして約3nm(ナノメータ)程度($C_s = 11.5 fF/\mu m^2$)の容量値しか得られない。これは、酸化タンタル膜のリーク電流特性を改善するための酸素雰囲気中の高温熱処理により、酸化タンタル膜/ポリシリコン界面に約2nm程度である厚めのSiO₂膜が形成されるためである。

【0007】この容量膜を256MbitDRAMなどの容量素子部へ適用した場合、十分な容量値は得られない。また、従来技術で形成される容量素子部のリーク電流特性は、容量上部電極3と容量下部電極2との間の電圧が約0.7Vと小さい値で電流密度が $10^{-8} A/cm^2$ のリーク電流が発生してしまい、実デバイスに十分適用できる特性を有していない。さらに、この容量素子部を形成後、イオン注入の活性化や層間膜のリフローなどの高温熱処理を行うと、よりリーク電流特性が劣化してしまう問題がある。

【0008】

【課題を解決するための手段】本発明の特徴は、D R A M等の超L S Iに用いられる容量素子部に設けられる容量素子の形成において、容量下部電極であるポリシリコン表面の自然酸化膜を除去した後、ランプアニールを用いた急速熱窒化（R T N）処理によりポリシリコン表面を窒化し、酸化タンタル膜を形成する工程と、この酸化タンタルを緻密化処理および窒化処理する工程と、さらには上部電極を形成する工程とを有する半導体装置の製造方法にある。

【0009】

【実施例】以下図面を参照して本発明を説明する。

【0010】図4は本発明の実施例が適用するD R A Mの一部を示す断面図である。

【0011】P型シリコン基体41にNウェル42が形成されそこに第1のPウェル43'が形成され、また第1のPウェル43' とN'型分離領域45を介したP型シリコン基体の部分に第2のPウェル43"が形成されてシリコン基板を構成している。このシリコン基板の正面のフィールド酸化膜46で絶縁分離された活性領域に各素子が形成されている。

【0012】第1のPウェル43'には多数のメモリセルのそれぞれのトランジスタが構成されているが、図4では一対のメモリセルのみ図示している。すなわち一対のメモリセルを構成するそれぞれのトランジスタ50のソース、ドレインとなるN型領域51'、51"が形成され、ゲート絶縁膜52を介してポリシリコン53およびシリサイド54からなるゲート電極55が形成され、全体が第1の層間絶縁膜47で被覆されており、この第1の層間絶縁膜47に設けられたコンタクト孔58を通してビット線56が1対のメモリセルのそれぞれのトランジスタに共通なソース、ドレインの一方となるN型領域51'に接続されている。このビット線を被覆して第2の層間絶縁膜48が形成され、その上に点線70で囲んだ本発明の一対の容量素子が構成されている。すなわちこのスタッカ型の容量素子は、ポリシリコンの容量下部電極2、容量誘電体膜としての酸化タンタル膜11およびポリシリコンの容量上部電極3から構成され、一対の容量下部電極2は第1および第2の層間絶縁膜47、48に設けられたコンタクト孔57を通してそれぞれのトランジスタのソース、ドレインの他方となるN型領域51"に接続されている。また、容量上部電極3は一対のメモリセルのそれぞれの容量素子に共通に連続的に形成され第2の層間絶縁膜48上を延して、その取り出し部3'において第3の層間絶縁膜49に設けられてスルーホール67を通して接地電位等の固定電位となっているアルミ電極71と電気的接続されている。尚、このアルミ電極71の下部およびスルーホール67の内壁および容量上部電極3の取り出し部3'に接する底面には窒化チタン膜72が形成され、スルーホール67はタングステン73により充填されている。

【0013】一方、記憶装置の周回路を構成する。トランジスタ60のソース、ドレインとなるN型領域51が第2のPウェル43"に形成され、そのゲート絶縁膜52上にポリシリコン53、シリサイド54がなるゲート電極55が形成されている。そしてソース、ドレイン51の一方に、第1、第2、第3の層間絶縁膜47、48、49を通して設けられたコンタクト孔68を通してアルミ配線71がチッ化チタン膜72、タングステン73を介して接続されている。同様に、周回路の他のトランジスタのゲート電極構造がアルミ配線71と接続している。

【0014】図1は本発明の実施例の製造方法を示す断面図であり、図4の点線70で囲まれた容量素子部の片側の容量素子を例示している。

【0015】まず、図1(a)に示すように、容量下部電極2であるポリシリコンを化学気相成長法により堆積、リンドープを行い、通常のリソグラフィ/エッチング技術によりパターニングする。なお、コンタクト孔57内のポリシリコンは上記化学気相成長と同時に形成しても、あるいはその前の工程で充填させておいてよい。

【0016】続いて、図1(b)に示すように、この容量下部電極2であるポリシリコン表面上にある自然酸化膜を無水フッ酸により除去した後、ランプアニールを用いた急速熱窒化処理を行い、ポリシリコン表面を窒化してその表面をシリコン窒化膜(SiN_x)とする。急速熱窒化処理として、アンモニア(NH₃)ガスを用い、窒化処理の温度として、800~1100°Cで行なうのが適している。また、無水フッ酸の代りに希釈フッ酸を用いることもできる。

【0017】次に図1(c)に示すように、この容量下部電極2上へ酸化タンタル膜11を化学気相成長法により堆積する。

【0018】酸化タンタル膜11の形成には、図2に示すような装置を用いる。原料ガスとして有機系のペントエキシタンタルを用いる。この原料は、ヒータ14により気化室15で気化され、導入管23によりバルブ22cを通して送られてきたキャリアガスであるアルゴンガスによりバルブ22dを通して、半導体ウェハ18を搭載した基板ホルダ17を載置した反応炉19へ導入される。同時に、導入管12により酸化ガスがバルブ22bを通して反応炉19へ導入される。ヒータ16により反応炉19内は熱せられており、導入された有機タンタルガスおよび酸化ガスが化学気相反応を起こし、半導体ウェハ18上で酸化タンタル膜が形成される。成長条件として、有機タンタル原料の気化室15の加熱温度は30~200°C、ヒータ16による反応炉19内の成長温度は300~800°C、キャリアガスであるアルゴンガスの流量は10~1000SCCM、酸素ガスの流量は0.1~20.0SLM、圧力は0.1~10Torr

で行うのが適している。反応炉19には他の導入管13によりアルゴンガスがバルブ22aを通して接続され、また、排気口21を有する真空ポンプ20が接続されている。

【0019】続いて、この酸化タンタル膜の緻密化処理として、電気炉による酸化雰囲気中での熱処理を行い、さらに、窒化処理としてアンモニアを用いたプラズマ処理を行う。この窒化処理により、酸化タンタル膜の表面に窒化タンタル酸化膜($Ta_2O_xN_y$)が生成される。

酸化雰囲気中での電気炉による緻密化処理の条件として、温度が600～1000°C、時間が5分～5時間で行うのが適している。緻密化処理の方法として、急速加熱処理やプラズマ処理あるいはこれらを組み合わせた方法でも本発明の効果はある。また処理ガスとして亜酸化窒素を用いた場合でも、本発明の効果はある。また、アンモニアを用いたプラズマによる窒化処理として、温度が室温～500°C、圧力が0.1～10 Torr、パワーが50～500Wで行うのが適している。また、窒化処理として、単体窒素のガスを用いた場合でも、本発明の効果はある。

【0020】続いて、図1(d)に示すように、容量上部電極3として、窒化チタンを形成する。本実施例においては、上部電極として窒化チタン単層を用いたが、タンゲステンあるいは窒化チタン/タンゲステン、窒化チタン/モリブデンあるいは窒化チタン/タンゲステンシリサイドなど複合膜を用いた場合でも本発明の効果はある。

【0021】本発明により形成された容量素子部は、 S_iO_2 膜換膜厚にして約2.5nm(ナノメータ)程度($C_s = 13.8 fF/\mu m^2$)の容量値が得られ、従来技術により形成された容量素子の容量値よりも大きくなる。これは、容量下部電極2のポリシリコン表面がRTN処理により窒化され、この窒化された表面が酸化タンタル膜の緻密化処理においてポリシリコンの酸化を抑制するためである。

【0022】本発明により形成した容量素子部のリーク電流特性を図3に実線で示す。比較のため、同図に従来技術により形成された容量素子部の特性も点線で合せて示す。ここで、両特性において、イオン注入の活性化や層間膜のリフローなど高温熱処理前後のリーク電流特性を示している。

【0023】まず、高温熱処理前においては、本発明により形成した容量素子のリーク電流特性のほうが、従来技術により形成したものと比較して、良好である結果が得られた。これは、従来技術のポリシリコン表面には自然酸化膜が存在しているが、本発明においては、この自然酸化膜を除去した後、すぐに容量下部電極2のポリシリコンをRTN処理により窒化している。一般的に、自然酸化膜の膜質は不十分と考えられているが、本発明においては、この自然酸化膜を除去後、RTN処理を行う

ことにより、良質な窒化膜が形成されるためと考えられる。

【0024】さらに、高温熱処理後においては、従来技術により形成した容量素子のリーク電流特性は、熱処理温度の増加とともに特性が劣化している。これは、酸化タンタル膜と容量上部電極3とが熱処理において反応しているためである。一方、本発明により形成した容量素子のリーク電流特性は、熱処理後もそれほどの劣化は見られなかった。これは、酸化タンタル膜を緻密化処理後、窒化したことにより、この膜が容量上部電極3との反応を抑制できたためである。

【0025】

【発明の効果】以上説明したように、たとえばDRAM等の超LSIに用いられる容量素子部における容量素子の形成が、容量下部電極であるポリシリコン表面の自然酸化膜を除去した後、ランプアニールを用いた急速熱窒化(RTN)処理によりポリシリコン表面を窒化し、酸化タンタル膜を形成する工程と、この酸化タンタルを緻密化処理および窒化処理する工程と、さらには上部電極を形成する工程とを有しているから、本発明を用いることにより、従来技術と比較して薄膜化でき、さらにリーク電流特性の少ない、良好な容量素子が形成できる。

【図面の簡単な説明】

【図1】本発明の実施例を製造工程順に示した断面図である。

【図2】本発明の実施例において、酸化タンタル膜の形成に用いた装置を模式的に示して構造図である。

【図3】本発明に基づき形成した容量素子のリーク電流特性を従来技術と比較して示した図である。

【図4】本発明の実施例を適用するDRAM素子構造を示した断面図である。

【図5】従来技術の製造方法を工程順に示した断面図である。

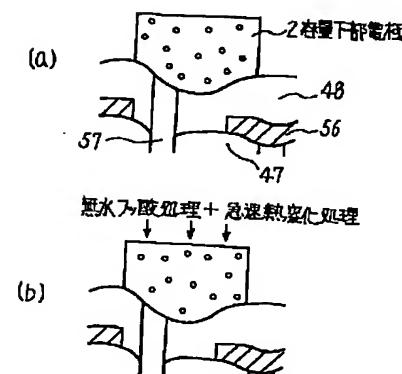
【符号の説明】

2	容量下部電極
3	容量上部電極
3'	容量上部電極の取り出し部
1 1	酸化タンタル膜
1 2	酸素ガスの導入管
1 3	アルゴンガスの導入管
1 4	ヒータ
1 5	気化室
1 6	ヒータ
1 7	基板ホルダ
1 8	半導体ウェハ
1 9	反応炉
2 0	真空ポンプ
2 1	排気口
2 2 a, 2 2 b, 2 2 c, 2 2 d	バルブ
2 3	キャリアガスアルゴンの導入管

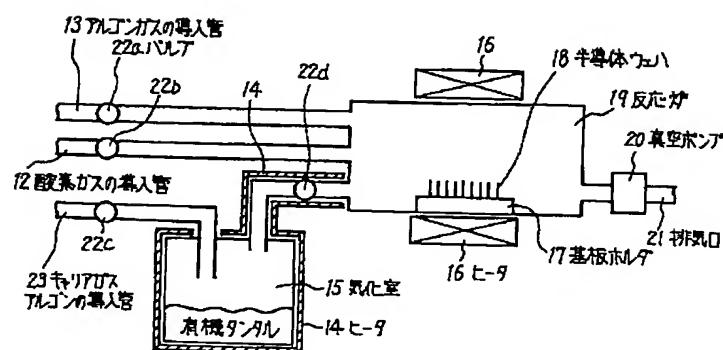
4 1 P型シリコン基体
 4 2 Nウェル
 4 3', 4 3" Pウェル
 4 5 N'型分離領域
 4 6 フィールド酸化膜
 4 7, 4 8, 4 9 層間絶縁膜
 5 0 メモリセルのトランジスタ
 5 1 ソース, ドレインとするN型領域
 5 2 ゲート絶縁膜
 5 3 ポリシリコン

* 5 4 シリサイド
 5 5 ゲート電極
 5 6 ビット線
 5 7, 5 8 コンタクト孔
 6 0 周辺回路を構成するトランジスタ
 6 7 スルーホール
 7 0 容量素子部
 7 1 アルミ電極
 7 2 窒化チタン膜
 * 10 7 3 タングステン

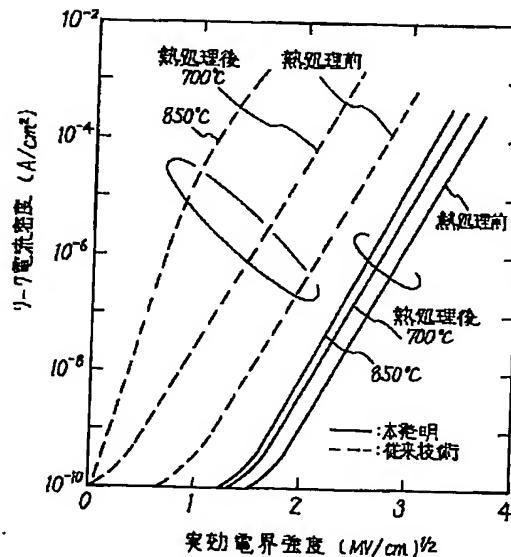
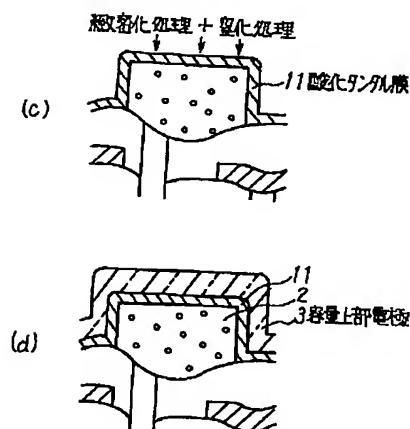
【図 1】



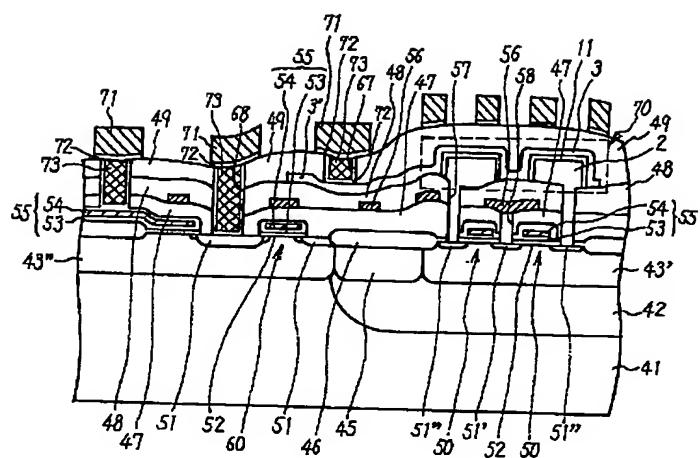
【図 2】



【図 3】



【図4】



【図5】

